

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
9. Januar 2003 (09.01.2003)

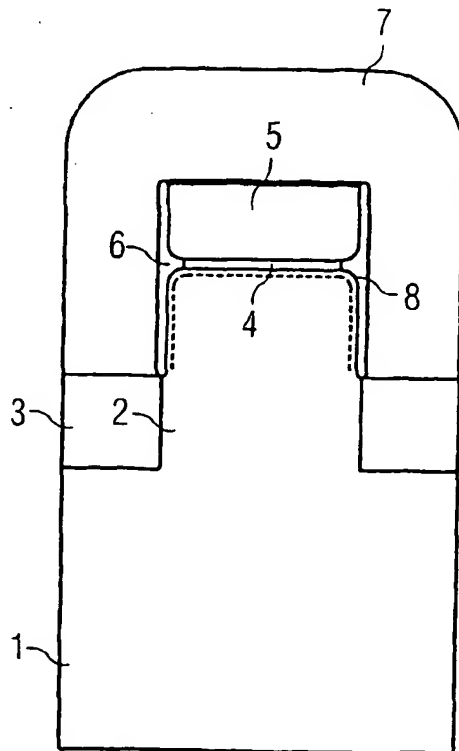
(10) Internationale Veröffentlichungsnummer
PCT WO 03/003442 A1

- (51) Internationale Patentklassifikation⁷: **H01L 21/336**, 29/78 (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).
- (21) Internationales Aktenzeichen: **PCT/EP02/07028** (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): **POPP, Martin** [DE/DE]; Selliner Str. 17, 01109 Dresden (DE). **RICHTER, Frank** [DE/DE]; Alte Moritzburger Str. 59, 01108 Dresden (DE). **TEMMLER, Dietmar** [DE/DE]; Putzuser Weg 14, 01109 Dresden (DE). **WICH-GLASEN, Andreas** [DE/DE]; A.Richter-Str. 12, 01465 Langebrueck (DE).
- (22) Internationales Anmeldedatum: 25. Juni 2002 (25.06.2002)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: 101 31 276.8 28. Juni 2001 (28.06.2001) DE (74) Anwälte: **ZIMMERMANN & PARTNER** usw.; Postfach 330 920, 80069 München (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: FIELD EFFECT TRANSISTOR AND METHOD FOR PRODUCTION THEREOF

(54) Bezeichnung: FELDEFFEKTTRANSISTOR UND VERFAHREN ZU SEINER HERSTELLUNG



(57) Abstract: The invention relates to a field effect transistor in which the planar channel region on the upper surface of the elevation is extended in width by means of additional vertical channel regions on the lateral surfaces of the elevation. Said additional vertical channel regions connect directly to the planar channel region (vertical extended channel regions). Said field effect transistor has the advantage that a significant increase in the effective channel width for the current flow I_{ON} can be guaranteed relative to conventional transistor structures used up until the present, without having to accept a reduction in the achievable integration density. Said field effect transistor furthermore has a low reverse current I_{OFF} . The above advantages are achieved without the thickness of the gate insulators up to the region of the charge transfer tunnels having to be reduced or a reduced stability.

(57) Zusammenfassung: Bei dem erfindungsgemäßen Feldeffekttransistor wird das planare Kanalgebiet an der oberen Oberfläche der Erhebung durch zusätzliche vertikale Kanalgebiete an den Seitenflächen der Erhebung in der Weite ausgedehnt. Diese zusätzlichen vertikalen Kanalgebiete schließen sich unmittelbar an das planare Kanalgebiet an (vertical extended channel regions). Der erfindungsgemäße Feldeffekttransistor besitzt den Vorteil, dass eine deutliche Erhöhung der für den Flussstrom I_{ON} wirksamen Kanalweite gegenüber bisher verwendeten, konventionellen Transistorstrukturen gewährleistet werden kann, ohne dass eine Verringerung der erzielbaren Integrationsdichte hingenommen werden muss. Weiterhin besitzt der erfindungsgemäße Feldeffekttransistor eine geringen Sperrstrom I_{OFF} . Diese Vorteile werden erzielt, ohne dass die Dicke des Gate-Isolators bis in den Bereich des Tunnels von Ladungsträgern oder einer verminderten Stabilität verringert werden muss.

WO 03/003442 A1



(81) Bestimmungsstaaten (*national*): JP, KR, US.

Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Feldeffekttransistor und Verfahren zu seiner Herstellung

5

Die vorliegende Erfindung betrifft einen Feldeffekttransistor und ein Verfahren zu seiner Herstellung.

Die charakteristischen Parameter von herkömmlichen Feldeffekttransistoren, insbesondere von planaren MIS-Feldeffekttransistoren (MISFET), verschlechtern sich zunehmend mit fortgesetzter Strukturverkleinerung (Skalierung) und Erhöhung der Packungsdichte von integrierten Schaltungen. So sinkt beispielsweise mit verkürzter Kanallänge des Transistors die Einsatzspannung V_T des Transistors. Gleichzeitig erhöhen sich mit verkürzter Kanallänge die Feldstärke im Kanalgebiet und der Sperrstrom I_{OFF} (SCE: short channel effect; roll-off). Weiterhin verändert sich mit verminderter Kanalweite der Flußstrom I_{ON} in nichtlinearer Weise. Zusätzlich werden am Übergang des Kanals zur Isolation die Geometrie und Dotierung des Feldeffekttransistors modifiziert. Allgemein gewinnen die Kanalgrenzen bei Skalierung gegenüber dem zentralen Kanalbereich an relativer Bedeutung (NCE: narrow channel effect, INCE: inverse narrow channel effect).

Um trotz der genannten Schwierigkeiten eine Verbesserung/Aufrechterhaltung der Performance von Feldeffekttransistoren bei fortschreitender Strukturverkleinerung (Skalierung) gewährleisten zu können, werden eine Reihe von Maßnahmen vorgeschlagen bzw. durchgeführt. So erfolgt beispielsweise mit der MISFET-Skalierung zugleich eine angepaßte Skalierung der internen Betriebsspannungspegel. Weiterhin erfolgt in der Regel eine Optimierung der Dotierungsprofile der Wannen- und Kanalgebiete sowie der Source- und Draingebiete. Gleichzeitig

wird üblicherweise eine Skalierung des Gateisolators bezüglich Dicke und Material durchgeführt.

Weitere Verbesserungen ergeben sich durch die Verwendung von salicierten Source- und Drain-Gebieten (S/D) sowie salicierten Gate-Elektroden. Durch eine Minimierung der parasitären Widerstände bzw. Kapazitäten der Anschlußmetallisierung, beispielsweise durch die Verwendung einer Kupferverdrahtung, und der Zwischenisolatoren, beispielsweise durch die Verwendung von sogenannten „low-k“ Materialien, kann eine weitere Verbesserung erzielt werden. Im Fall von DRAM-Speicherzellen kann auch eine Anpassung der Ausleselogik an die sich mit jedem „Shrink“ verkleinernden „ON“-Ströme der jeweiligen Arraytransistoren (z.B. Reduktion der Widerstände der Gatebahnen) vorgenommen werden.

Eine weitere Möglichkeit, die Performance von Feldeffekttransistoren aufrechtzuerhalten bzw. zu verbessern, besteht in der Verwendung modifizierte Transistoranordnungen, die beispielsweise erhöhte Source/Drainbereiche („elevated S/D“) aufweisen oder die auf einer sogenannten „silicon on insulator“ Technologie (SOI) basieren oder die im Kanalgebiet ein Material mit einer höheren Trägerbeweglichkeit, z.B. SiGe, aufweisen. Zusätzliche Möglichkeiten, die sich bei Senkung der Betriebstemperatur ergeben, sind hier nicht dargestellt.

Die Einführung der Trench-Feldisolation (STI: shallow trench isolation) anstelle konventioneller LOCOS-Feldisolation trägt ebenfalls zur Verbesserung der Situation bei. Wird eine Trench-Feldisolation (STI: shallow trench isolation) anstelle einer konventionellen LOCOS-Feldisolation eingesetzt, so müssen in der Regel zusätzliche Maßnahmen zur Minimierung des sogenannten „inverse narrow channel effect“ (INCE) ergriffen werden. So wird beispielsweise eine positiven Stufenhöhe der STI-Oberkante über der Halbleiteroberfläche eingestellt, um ein sogenanntes „wrap-

around Gate" zu vermeiden. Weiterhin kann eine lokale Aufdotierung des Transistorkanals am Übergang zur Feldisolation, der sogenannten „corner region, zusätzlich zur normalen Kanaldotierung vorgesehen sein.

5

Durch eine Oxidation der STI-Flanken während der STI-Prozessierung kann eine sogenannte „birdsbeak Geometrie" und Kantenverrundung der aktiven Gebiete am Übergang zur Trenchisolation erzeugt werden. Im Prozeßablauf spricht man dabei von „corner rounding", „mini LOCOS" bzw. „post CMP oxidation". Auch diese Maßnahmen dienen dazu, dem „inverse narrow channel effect" (INCE) entgegenzuwirken. Eine Verstärkung dieser Wirkung kann dabei durch ein vorheriges laterales Rückätzen des Padoxids erreicht werden. Eine Kantenverrundung der aktiven Gebiete kann auch mittels thermischer Oberflächentransformation erzeugt werden. Weiterhin kann ein Nitrid-Spacer Schutzring („guardring") vorgesehen sein. Zur Vermeidung einer Gateüberlappung über die corner-Region kann ein selbstjustierter Abschluß der Gatekante vor der Feldisolationsgrenze vorgesehen sein. Dies kann beispielsweise durch eine gemeinsame Strukturierung von Poly-Gate und aktivem Gebiet bei der STI-Strukturierung erfolgen.

25 Trotz all dieser Maßnahmen wird es jedoch immer schwieriger, ab etwa 100nm Strukturgröße eine ausreichenden Flußströme I_{ON} zu gewährleisten, ohne daß die Gefahr des Tunnelns oder der Degradation der Gateoxid-Stabilität des MISFET besteht. Daher wurden eine Reihe von alternativen Transistoranordnungen vorgeschlagen.

35 Das Dokument US 4,979,014 offenbart eine MOS-Transistor, der eine stegförmige Erhöhung auf einem Halbleitersubstrat aufweist. Der Kanal dieses Transistors ist entlang der stegförmigen Erhöhung angeordnet und weist neben dem Kanalbereich an der Oberseite der stegförmigen Erhöhung noch zwei weitere Kanalbereiche an den Seitenwänden der

stegförmigen Erhöhung auf. Der Transistor gemäß Dokument US 4,979,014 zeigt einen ausgeprägten „Ecken-Effekt“ („corner effect“), der dazu verwendet wird, eine große Verarmungszone zu erzeugen.

5

Das Dokument Huang et al. „Sub 50-nm FinFET: PMOS“ IEDM 1999 offenbart einen „FinFET“ genannten Transistor, der eine Doppel-Gate Struktur an den Seitenwänden der stegförmigen Erhöhung („Fin“) aufweist. Der FinFET vermeidet den INCE
10 mittels einer dickeren Isolatorschicht auf der schmalen Fin-Deckfläche.

Leider besitzen all die genannten Maßnahme entweder nur eingeschränkte Wirksamkeit oder sie erfordern einen großen
15 prozeßtechnischen Aufwand. Es ist daher die Aufgabe der vorliegenden Erfindung, einen Feldeffekttransistor und Verfahren zu seiner Herstellung bereitzustellen, welche die genannten Schwierigkeiten vermindern bzw. vermeiden. Es ist insbesondere die Aufgabe der vorliegenden Erfindung, einen
20 Feldeffekttransistor bereitzustellen, der einen ausreichenden Flußstrom I_{ON} zur Verfügung stellt und der mit einem geringem Aufwand, kompatibel zum bisherigen, konventionellen Integrationsprozeß für planare MOSFETs hergestellt werden kann.

25

Diese Aufgabe wird von dem Feldeffekttransistor gemäß dem unabhängigen Patentanspruch 1 bzw. von dem Feldeffekttransistor gemäß dem unabhängigen Patentanspruch 4 sowie von dem Verfahren zur Herstellung eines
30 Feldeffekttransistors gemäß dem unabhängigen Patentanspruch 12 gelöst. Weitere vorteilhafte Ausführungsformen, Ausgestaltungen und Aspekte der vorliegenden Erfindung ergeben sich aus den abhängigen Patentansprüchen, der Beschreibung und den beiliegenden Zeichnungen.

35

Gemäß einem ersten Aspekt der vorliegenden Erfindung wird ein Feldeffekttransistor bereitgestellt, der die folgenden Merkmale umfaßt:

- 5 a) zumindest eine auf einem Halbleitersubstrat angeordnete stegförmige Erhebung, die eine obere Oberfläche und seitliche Oberflächen aufweist,
- b) eine erste Gateoxidschicht, die auf der oberen
10 Oberfläche der stegförmigen Erhebung angeordnet ist,
- c) eine erste Gateelektrode, die auf der ersten Gateoxidschicht angeordnet ist, wobei die erste Gateelektrode eine obere Oberfläche und seitliche
15 Oberflächen aufweist,
- d) eine zweite Gateoxidschicht, die zumindest auf einem Teil der seitlichen Oberflächen der stegförmigen Erhebung und der ersten Gateelektrode angeordnet ist,
20
- e) eine zweite Gateelektrode, die auf der zweiten Gateoxidschicht und der oberen Oberfläche der ersten Gateelektrode angeordnet ist, und
- 25 f) Source- und Draingebiete, die auf der Erhebung angeordnet sind.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung wird ein Feldeffekttransistor bereitgestellt, der die
30 folgenden Merkmale umfaßt:

- a) zumindest eine auf einem Halbleitersubstrat angeordnete stegförmige Erhebung, die eine obere Oberfläche und seitliche Oberflächen aufweist,
35

- b) eine erste Gateoxidschicht, die zumindest auf einem Teil der seitlichen Oberflächen der stegförmigen Erhebung angeordnet ist,
- 5 c) eine erste Gateelektrode, die auf der ersten Gateoxidschicht angeordnet ist, wobei die erste Gateelektrodenschicht eine obere Oberfläche und seitliche Oberflächen aufweist,
- 10 d) eine zweite Gateoxidschicht, die auf der oberen Oberfläche der stegförmigen Erhebung und der oberen Oberfläche der ersten Gateelektrode angeordnet ist,
- e) eine zweite Gateelektrode, die auf der zweiten
15 Gateoxidschicht und den seitlichen Oberflächen der ersten Gateelektrode angeordnet ist, und
- f) Source- und Draingebiete, die auf der Erhebung angeordnet sind.

20

Weiterhin wird erfindungsgemäß ein Verfahren zur Herstellung eines Feldeffekttransistors bereitgestellt, das die folgenden Schritte umfaßt:

- 25 a) ein Halbleitersubstrat mit einer darauf aufgebracht ersten Gateoxidschicht und einer auf die Gateoxidschicht aufgebracht ersten Gateelektrodenschicht wird bereitgestellt,
- 30 b) zumindest eine stegförmige Erhebung mit einer oberen Oberfläche und seitlichen Oberflächen wird erzeugt, wobei die erste Gateoxidschicht und die erste Gateelektrodenschicht auf der oberen Oberfläche angeordnet sind,
- 35 c) zumindest auf einem Teil der seitlichen Oberflächen der stegförmigen Erhebung und der ersten

Gateelektrodenschicht wird eine zweite Gateoxidschicht erzeugt,

- 5 d) eine zweite Gateelektrodenschicht wird aufgebracht, so daß die zweite Gateelektrodenschicht auf der zweiten Gateoxidschicht und der oberen Oberfläche der ersten Gateelektrodenschicht angeordnet ist, und
- 10 e) die erste und die zweite Gateelektrodenschicht werden zu ersten und zweiten Gateelektroden strukturiert und Source- und Draingebiete werden erzeugt.

Der erfindungsgemäße Feldeffekttransistor besitzt den Vorteil, daß eine deutliche Erhöhung der für den Flußstrom I_{ON} wirksamen Kanalweite gegenüber bisher verwendeten, konventionellen Transistorstrukturen gewährleistet werden kann, ohne daß eine Verringerung der erzielbaren Integrationsdichte hingenommen werden muß. Bei dem erfindungsgemäßen Feldeffekttransistor wird das planare Kanalgebiet an der oberen Oberfläche der Erhebung durch zusätzliche vertikale Kanalgebiete an den Seitenflächen der Erhebung in der Weite ausgedehnt. Diese zusätzlichen vertikalen Kanalgebiete schließen sich unmittelbar an das planare Kanalgebiet an (vertical extended channel regions).

20 Weiterhin besitzt der erfindungsgemäße Feldeffekttransistor einen geringen Sperrstrom I_{OFF} . Diese Vorteile werden erzielt, ohne daß Dicke des Gate-Isolators bis in den Bereich des Tunnels von Ladungsträgern oder einer verminderten Stabilität verringert werden muß.

30

Die zusätzlichen vertikalen Kanalgebiete werden dabei erfindungsgemäß durch Nutzung der vertikalen Halbleiteroberflächen gewonnen, die bevorzugt analog zur konventionellen planaren Transistoranordnung bei der STI-Strukturierung („shallow trench isolation“) erzeugt werden können und die vertikalen STI Flanken bilden. Der Herstellungsprozeß des erfindungsgemäßen Transistors ist

35

somit dem Prozeßablauf des konventionellen STI-isolierten, planaren Transistors so eng verwandt, daß herkömmliche, planare Transistoren sehr einfach auf demselben Chip mit erfindungsgemäßen Transistoren integriert und kombiniert
5 werden können.

Zwischen dem planaren Kanalgebiet und den vertikalen Kanalgebieten existiert ein Übergangsgebiet in Form einer konvex gekrümmten, in Source/Drain-Richtung angeordnete Kante
10 auf der stegförmigen Erhebung als Bestandteil des aktiven Kanals. Diese Kante führte bei bisher vorgeschlagenen Transistoranordnung immer zu einem ausgeprägten „Ecken-Effekt“ („corner effect“), der die Einsatzspannung des Transistors negativ beeinflusste. Bei dem erfindungsgemäßen
15 Feldeffekttransistors wird dieses Problem durch die spezielle Umschließungsanordnung, welche die erste und zweite Gateoxidschicht sowie die erste und zweite Gateelektrode aufweist, weitgehend vermieden.

20 Gemäß einer bevorzugten Ausführungsform des erfindungsgemäßen Feldeffekttransistors ist die zweite Gateoxidschicht auf den seitlichen Oberflächen der ersten Gateelektrode dicker ausgebildet als auf den seitlichen Oberflächen der stegförmigen Erhebung. Weiterhin ist es
25 bevorzugt, wenn an der zweiten Gateoxidschicht auf der Höhe der ersten Gateelektrode ein isolierender Spacer angeordnet ist. Dadurch läßt sich die elektrische Feldstärke an den Kanten weiter verringern.

30 Gemäß einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Feldeffekttransistors sind die Kanten der stegförmigen Erhebung zwischen der oberen Oberfläche und den seitlichen Oberflächen verrundet. Diese Verrundung kann bevorzugt mit Hilfe eines kurzen Hochtemperaturprozesses
35 erzeugt werden. Dementsprechend kann der erfindungsgemäße Transistor mit einem deutlich reduziertem Temperaturbudget prozessiert werden. Dadurch ergeben sich Vorteile u.a.

hinsichtlich Dotierprofile und Performance. Auch wird dadurch der Übergangsbereich zwischen dem planaren und vertikalen Kanalgebiet gering gehalten, und nahezu die gesamte Breite und Tiefe der geometrischen Kanalfläche kann selbst bei sehr stark skaliertem Transistorgeometrie als aktiver Kanal genutzt werden.

Dabei ist es insbesondere bevorzugt, wenn der Krümmungsradius der Kanten in der Größenordnung der Schichtdicke der ersten oder zweiten Gateoxidschicht liegt. Dementsprechend kann die Einsatzspannung des sogenannten "parasitic corner device" auf einen Wert gebracht werden, der größer als der Wert der Einsatzspannung des planaren Kanalbereichs ist. Die resultierende elektrische Feldstärke entlang der Oberfläche der Kantenkrümmung übersteigt somit nicht die im ebenen Teil des Kanals herrschenden elektrische Feldstärke.

Gemäß einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Feldeffekttransistors sind zwischen dem Sourcegebiet und den Gateelektroden sowie zwischen dem Draingebiet und den Gateelektroden Spacer angeordnet. Weiterhin ist es bevorzugt, wenn die erste Gateelektrode eine Polysiliziumschicht aufweist. Darüber hinaus ist es insbesondere bevorzugt, wenn die zweite Gateelektrode eine Polysilizium-Metall-Doppelschicht oder eine Polyzidschicht aufweist.

Gemäß einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Feldeffekttransistors ist der Teil der seitlichen Oberflächen der stegförmigen Erhebung, der von einer Gateoxidschicht bedeckt ist, von einer Grabenisolation begrenzt. Weiterhin ist es insbesondere bevorzugt, wenn die Dotierungsprofiltiefe der Source- und Draingebiete größer als die Ausdehnung des Teils der seitlichen Oberflächen der stegförmigen Erhebung ist, der von einer Gateoxidschicht bedeckt ist.

Gemäß einer bevorzugten Ausführungsform des erfindungsgemäßen Herstellungsverfahrens erfolgt die Erzeugung der stegförmige Erhebung mit der Strukturierung der Gräben für eine Grabenisolation. Dabei ist es insbesondere
5 bevorzugt, wenn die Gräben für die Grabenisolation mit Oxid gefüllt werden und eine Rückätzung, bevorzugt nach einem CMP-Schritt, durchgeführt wird, so daß ein Teil der seitlichen Oberflächen der stegförmigen Erhebung freigelegt wird.

10

Gemäß einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Herstellungsverfahrens wird zumindest ein thermischer Prozeß zur Verrundung der Kanten der stegförmigen Erhebung zwischen der oberen Oberfläche und den seitlichen
15 Oberflächen durchgeführt. Weiterhin ist es insbesondere bevorzugt, wenn die Gateoxidschichten jeweils durch thermische Oxidation erzeugt werden.

Gemäß einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Herstellungsverfahrens wird die zweite Gateoxidschicht mit selektiver Oxidation erzeugt, so daß die zweite Gateoxidschicht auf den seitlichen Oberflächen der ersten Gateelektrode dicker ausgebildet ist als auf den
20 seitlichen Oberflächen der stegförmigen Erhebung. Weiterhin ist es bevorzugt, wenn nach der Erzeugung der ersten Gateelektrodenschicht ein isolierender Spacer erzeugt wird, so daß an der zweiten Gateoxidschicht auf der Höhe der ersten Gateelektrode ein isolierender Spacer angeordnet ist.

30 Die Erfindung wird nachfolgend anhand von Figuren der Zeichnungen näher dargestellt. Es zeigen:

Fig. 1 und 2 eine erste Ausführungsform des
35 erfindungsgemäßen Feldeffekttransistors,

- Fig. 3a - 3h eine erste Ausführungsform des erfindungsgemäßen Verfahrens zur Herstellung eines Feldeffekttransistors,
- 5 Fig. 4 eine weitere Ausführungsform des erfindungsgemäßen Feldeffekttransistors,
- Fig. 5 eine weitere Ausführungsform des erfindungsgemäßen Feldeffekttransistors, und
- 10 Fig. 6 eine weitere Ausführungsform des erfindungsgemäßen Feldeffekttransistors.

15 Die Fig. 1 und 2 zeigen eine erste Ausführungsform des erfindungsgemäßen Feldeffekttransistors. Dabei zeigt die Fig. 1 die allgemeine Struktur dieser Ausführungsform des erfindungsgemäßen Feldeffekttransistors während Fig. 2 die Details dieser Ausführungsform des erfindungsgemäßen Feldeffekttransistors in einem Querschnitt darstellt. Wie aus

20 Fig. 1 ersichtlich weist der erfindungsgemäße Feldeffekttransistor eine auf einem Halbleitersubstrat 1 angeordnete stegförmige Erhebung 2 auf, die eine obere Oberfläche 2a und zwei seitliche Oberflächen 2b besitzt. Die

25 stegförmige Erhebung 2 stellt dabei das aktive Halbleitergebiet dar.

Das aktive Halbleitergebiet 2 mit vertikaler Verbindung zum Halbleitersubstrat 1 ist von benachbarten aktiven

30 Gebieten (nicht dargestellt) durch STI-Feldisolationsgebiete 3 lateral isoliert. Die Oberfläche 2a, 2b des aktiven Gebiets ist in Source- und Draingebiete sowie in ein planares Kanalgebiet strukturiert. Die stegförmige Erhebung 2 überragt die STI-Oberfläche, wodurch die Seitenflächen 2b des aktiven

35 Gebiets teilweise nicht durch die Isolation 3 bedeckt sind. Diese freiliegenden Seitenflächen sind, unmittelbar an die entsprechenden planaren Gebiete anschließend, gleichartig in

Source-, Drain- und Kanalgebiete strukturiert. Der Höhenunterschied zwischen dem aktiven Halbleitergebiet und der STI-Oberfläche entspricht dabei der Weite der vertikalen Kanalgebiete. Die Dotierungsprofiltiefe der Source- und Draingebiete ist vorzugsweise größer als dieser Höhenunterschied.

Wie aus Fig. 2 ersichtlich weist der erfindungsgemäße Feldeffekttransistor eine erste Gateoxidschicht 4 auf, die auf der oberen Oberfläche 2a der stegförmigen Erhebung 2 angeordnet ist. Weiterhin ist eine erste Gateelektrode 5 vorgesehen, die auf der ersten Gateoxidschicht 4 angeordnet ist, wobei die erste Gateelektrode eine obere Oberfläche und zwei seitliche Oberflächen aufweist. Eine zweite Gateoxidschicht 6 ist auf den seitlichen Oberflächen 2b der stegförmigen Erhebung 2 und der ersten Gateelektrode 4 angeordnet. Auf dieser zweiten Gateoxidschicht 6 und auf der oberen Oberfläche der ersten Gateelektrode 5 ist weiterhin eine zweite Gateelektrode 7 angeordnet.

Die Reliefstruktur aus aktiver und abgesenkter STI-Oberfläche ist somit im Kanalbereich von einer doppelten Gateelektrode bedeckt. Dabei besteht die erste Gateelektrode 5 vorzugsweise aus hochdotiertem Polysilizium während die zweite Gateelektrode 7 vorzugsweise einen Polysilizium-Metall-Schichtstapel aufweist. Die beiden Gateelektroden 5, 7 sind dabei so angeordnet, daß die erste Gateelektrode 5 ausschließlich den planaren Teil des aktiven Gebiets bedeckt und etwa mit dessen Flanken abschließt, während die zweite Gateelektrode 7 die Vertikalflanken des aktiven Gebiets bedeckt und die erste Gateelektrode 5 umschließt. Dabei kontaktiert die zweite Gateelektrode 7 die erste Gateelektrode 7 auf deren planarer Oberfläche, während sie von deren seitlichen Flanken durch die zweite Gateoxidschicht 6 isoliert ist.

Bei der vorliegenden Ausführungsform des erfindungsgemäßen Feldeffekttransistors ist die Kante 8 des aktiven Gebiets verrundet. Der Krümmungsradius dieser Rundung liegt dabei in der Größenordnung der Gateoxiddicke. Weiterhin ist das Kanalgebiet source- und drainseitig von Spacern
5 (nicht gezeigt) flankiert, welche die doppelte Gateelektrode 5, 7 lateral von den S/D-Kontaktflächen isolieren.

Die Fig. 3a - 3h zeigen eine erste Ausführungsform des erfindungsgemäßen Verfahrens zur Herstellung eines
10 Feldeffekttransistors. Nach einigen vorbereitenden Herstellungsschritten wird auf einem Halbleitersubstrat 1, insbesondere einem Siliziumsubstrat, eine erste Gateoxidschicht 4 sowie eine erste Gateelektrodenschicht 5
15 und Padnitridschicht 10 erzeugt. Dabei kann die Gateoxidation beispielsweise mit Hilfe einer thermischen Oxidation durchgeführt werden. Die Gateelektrodenschicht- und Padnitridabscheidung erfolgt beispielsweise mit Hilfe von CVD-Verfahren. Die sich daraus ergebende Situation ist in
20 Fig. 3a gezeigt.

Anschließend erfolgt mittels einer Lackmaske 11 die Strukturierung dieses Schichtstapels gemeinsam mit der STI-Strukturierung. Diese gemeinsame Strukturierung erfolgt
25 beispielsweise mit Hilfe einer chemisch-physikalischen Trockenätzung. Somit wird eine stegförmige Erhebung 2 mit einer oberen Oberfläche 2a und zwei seitlichen Oberflächen 2b erzeugt, wobei die erste Gateoxidschicht 4 und die erste Gateelektrodenschicht 5 auf der oberen Oberfläche 2a
30 angeordnet sind. Die Kanten 8 zwischen der oberen Oberfläche 2a und den zwei seitlichen Oberflächen 2b sind in diesem Bearbeitungsstadium scharf, nahezu mit 90°C geschnitten. Die sich daraus ergebende Situation ist in Fig. 3b gezeigt.

35 Danach erfolgt die Entfernung der Lackmaske 11 sowie eine Reinigung und eine kurze thermische Oxidation zur Verbesserung der Qualität der senkrechten Seitenflächen,

sowie Versiegelung der Flanken der ersten Gateelektrodenschicht 5. Dann wird das erzeugte Oberflächenrelief mit Oxid 3 verfüllt (Fig. 3c), thermisch verdichtet und mittels eines CMP-Verfahrens (chemical mechanical polishing) bis auf eine Nitrid-Restdicke planarisiert (Fig. 3d). Durch die thermischen Prozesse dieses Bearbeitungsabschnitts erfolgt eine geringe Aufweitung der ersten Gateoxidschicht 4 an der Kante 8 sowie eine Abrundung der Kanten 8 zwischen der oberen Oberfläche 2a und den zwei seitlichen Oberflächen 2b der stegförmigen Erhebung 2.

Im Anschluß wird mittels anisotroper Ätzung über eine Blockmaske 12, die alle Bereiche für Transistoren ohne beabsichtigte vertikale Kanalerweiterung abdeckt, das STI-Oxid 3 bis in eine definierte Tiefe planar zurückgeätzt. Diese Ätzung hat eine gewisse Selektivität zu der Padnitridschicht 10, so daß die obere Oberflächen 2a der stegförmigen Erhebungen 2 noch sicher mit Siliziumnitrid 10 bedeckt bleiben. Die verbleibende STI-Fülltiefe ist so dimensioniert, daß eine spätere sichere Feldisolation garantiert ist. Die sich daraus ergebende Situation ist in Fig. 3e gezeigt.

Nach Entfernung der Blockmaske, Reinigung / Überätzung erfolgt die 2. Gateoxidation (Fig. 3f). Auf den freiliegenden Flanken der stegförmigen Erhebung 2 und auf den freiliegenden Flanken der ersten Gateelektrodenschicht 5 wächst dabei die zweite Gateoxidschicht 6 auf. Dieser Oxidationsschritt weitet die erste Gateoxidschicht 4 an den Kanten 8 zusätzlich auf und vermindert die Krümmung der Substrat- und Poly-Kanten weiter. Anschließend erfolgt die Entfernung der auf den Oberflächen der ersten Gateelektrodenschicht verbliebenen Padnitrid-Restschicht 10 (Fig. 3g) und, nach einer weiteren Reinigung, die Abscheidung der zweiten Gateelektrodenschicht 7 (Fig. 3h).

Danach wird über eine Maske (nicht gezeigt) die erste und die zweite Gateelektrodenschicht gemeinsam mit Hilfe einer Ätzung, bevorzugt Plasmaätzung, strukturiert, wobei die Ätzung in der ersten Gateoxidschicht stoppt. Im Anschluß
5 daran erfolgt die weitere Prozessierung incl. Herstellung der Source/Drain-Gebiete bis zur kompletten Schaltung entsprechend dem konventionellen Prozeßablauf.

Fig. 4 zeigt eine weitere Ausführungsform des
10 erfindungsgemäßen Feldeffekttransistors. Wie aus Fig. 4 ersichtlich weist auch die weitere Ausführungsform des erfindungsgemäßen Feldeffekttransistors eine auf einem Halbleitersubstrat 1 angeordneten stegförmigen Erhebung 2
15 auf, die eine obere Oberfläche 2a und zwei seitliche Oberflächen 2b besitzt. Die stegförmige Erhebung 2 stellt dabei das aktive Halbleitergebiet dar.

Das aktive Halbleitergebiet mit vertikaler Verbindung zum Halbleitersubstrat ist wiederum von benachbarten aktiven
20 Gebieten durch STI-Feldisolutionsgebiet 3 lateral isoliert. Die Oberfläche des aktiven Gebiets ist in Source- und Drain- und planares Kanalgebiet strukturiert. Sie überragt die STI-Oberfläche, wodurch die Seitenflanken des aktiven Gebiets teilweise freiliegen. Diese freiliegenden Seitenflanken sind,
25 unmittelbar an die entsprechenden planaren Gebiete anschließend, gleichartig in Source-, Drain- und Kanalgebiete strukturiert. Der Höhenunterschied zwischen aktiver und STI-Oberfläche entspricht der Weite der vertikalen Kanalgebiete. Die Dotierungsprofiltiefe der Source- und Draingebiete ist
30 vorzugsweise größer als dieser Höhenunterschied.

Die Reliefstruktur aus aktiver und abgesenkter STI-Oberfläche ist somit im Kanalbereich von einer doppelten Gateelektrode 5, 7 bedeckt. Dabei besteht die erste
35 Gateelektrode 5 vorzugsweise aus hochdotiertem Polysilizium während die zweite Gateelektrode 7 vorzugsweise einen Polysilizium-Metall-Schichtstapel aufweist. Die beiden

Gateelektroden 5, 7 sind dabei so angeordnet, daß die erste Gateelektrode 5 ausschließlich den vertikalen Teil 2b des aktiven Gebiets 2 bedeckt und etwa mit dessen oberen Oberflächen abschließt, während die zweite Gateelektrode 7 die obere Oberfläche des aktiven Gebiets 2 bedeckt und die erste Gateelektrode 5 umschließt. Dabei kontaktiert die zweite Gateelektrode die erste Gateelektrode auf deren seitlichen Oberflächen, während sie von deren oberen Flanken durch die zweite Gateoxidschicht 6 isoliert ist. Das Kanalgebiet ist auf seinem planaren Teil von der zweiten Gateoxidschicht 6 und auf seinen Vertikalflächen von der ersten Gateoxidschicht 4 bedeckt.

Fig. 5 zeigt eine weitere Ausführungsform des erfindungsgemäßen Feldeffekttransistors. Die in Fig. 5 gezeigte Ausführungsform des erfindungsgemäßen Feldeffekttransistors entspricht im wesentlichen der in Fig. 2 gezeigte Ausführungsform des erfindungsgemäßen Feldeffekttransistors mit der Ausnahme, daß die zweite Gateoxidschicht 6 auf den seitlichen Oberflächen der ersten Gateelektrode 5 dicker ausgebildet ist als auf den seitlichen Oberflächen 2b der stegförmigen Erhebung 2. Die Verdickung der zweiten Gateoxidschicht 6 auf den seitlichen Oberflächen der ersten Gateelektrode 5 wird durch eine selektive Gateoxidation erzielt, wobei die Tatsache ausgenutzt wird, daß bei geeignet gewählten Prozeßparametern an Polysilizium eine höhere Oxidationsrate erzielt wird als an monokristallinem Silizium.

Fig. 6 zeigt eine weitere Ausführungsform des erfindungsgemäßen Feldeffekttransistors. Die in Fig. 6 gezeigte Ausführungsform des erfindungsgemäßen Feldeffekttransistors entspricht im wesentlichen der in Fig. 2 gezeigte Ausführungsform des erfindungsgemäßen Feldeffekttransistors mit der Ausnahme, daß an der zweiten Gateoxidschicht 6 auf der Höhe der ersten Gateelektrode 5 ein Spacer 14, insbesondere ein Oxidspacer, angeordnet ist. Dabei

kann die Ausbildung des Spacers 14 an den Flanken der ersten Gateelektrodenschicht 5 unmittelbar nach deren Strukturierung erfolgen , noch bevor die stegförmige Erhebung 2 ausgebildet ist. Die Oxidation zur Erzeugung der zweiten Gateoxidschicht 5 6 verstärkt dann diesen Spacer 14 durch eine zusätzliche Oxidschicht unmittelbar an den seitlichen Oberflächen der ersten Gateelektrodenschicht 5.

Der erfindungsgemäße Feldeffekttransistor besitzt den
10 Vorteil, daß eine deutliche Erhöhung der für den Flußstrom I_{ON} wirksamen Kanalweite gegenüber bisher verwendeten, konventionellen Transistorstrukturen gewährleistet werden kann, ohne daß eine Verringerung der erzielbaren Integrationsdichte hingenommen werden muß. Bei dem
15 erfindungsgemäßen Feldeffekttransistor wird das planare Kanalgebiet an der oberen Oberfläche der Erhebung durch zusätzliche vertikale Kanalgebiete an den Seitenflächen der Erhebung in der Weite ausgedehnt. Diese zusätzlichen vertikalen Kanalgebiete schließen sich unmittelbar an das
20 planare Kanalgebiet an (vertical extended channel regions). Weiterhin besitzt der erfindungsgemäße Feldeffekttransistor einen geringen Sperrstrom I_{OFF} . Diese Vorteile werden erzielt, ohne daß Dicke des Gate-Isolators bis in den Bereich des Tunnels von Ladungsträgern oder einer verminderten Stabilität
25 verringert werden muß.

Patentansprüche

1. Feldeffekttransistor, insbesondere MIS-
5 Feldeffekttransistor, mit:
- a) zumindest einer auf einem Halbleitersubstrat (1)
angeordneten stegförmigen Erhebung (2), die eine obere
Oberfläche (2a) und seitliche Oberflächen (2b)
10 aufweist,
- b) einer ersten Gateoxidschicht (4), die auf der oberen
Oberfläche (2a) der stegförmigen Erhebung (2)
angeordnet ist,
15
- c) einer ersten Gateelektrode (5), die auf der ersten
Gateoxidschicht (4) angeordnet ist, wobei die erste
Gateelektrode eine obere Oberfläche und seitliche
Oberflächen aufweist,
20
- d) einer zweiten Gateoxidschicht (6), die zumindest auf
einem Teil der seitlichen Oberflächen (2b) der
stegförmigen Erhebung (2) und der ersten Gateelektrode
(4) angeordnet ist,
25
- e) einer zweiten Gateelektrode (7), die auf der zweiten
Gateoxidschicht (6) und der oberen Oberfläche der
ersten Gateelektrode (5) angeordnet ist, und
- 30 f) Source- und Draingebiete, die auf der stegförmigen
Erhebung (2) angeordnet sind.
2. Feldeffekttransistor nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t , daß
35 die zweite Gateoxidschicht (6) auf den seitlichen
Oberflächen der ersten Gateelektrode (5) dicker

ausgebildet ist als auf den seitlichen Oberflächen (2b) der stegförmigen Erhebung (2).

3. Feldeffekttransistor nach Anspruch 1 oder 2,
5 d a d u r c h g e k e n n z e i c h n e t , daß
an der zweiten Gateoxidschicht (6) auf der Höhe der ersten Gateelektrode (5) ein isolierender Spacer (14) angeordnet ist.
- 10 4. Feldeffekttransistor, insbesondere MIS-Feldeffekttransistor, mit:
- a) zumindest einer auf einem Halbleitersubstrat (1) angeordneten stegförmigen Erhebung (2), die eine obere
15 Oberfläche (2a) und seitliche Oberflächen (2b) aufweist,
- b) einer ersten Gateoxidschicht (4), die zumindest auf einem Teil der seitlichen Oberflächen (2b) der
20 stegförmigen Erhebung (2) angeordnet ist,
- c) einer ersten Gateelektrode (5), die auf der ersten Gateoxidschicht (4) angeordnet ist, wobei die erste Gateelektrode (4) eine obere Oberfläche und seitlichen
25 Oberflächen aufweist,
- d) einer zweiten Gateoxidschicht (6), die auf der oberen Oberfläche (2a) der stegförmigen Erhebung (2) und der oberen Oberfläche der ersten Gateelektrode (5) angeordnet ist,
30
- e) einer zweiten Gateelektrode (7), die auf der zweiten Gateoxidschicht (6) und den seitlichen Oberflächen der ersten Gateelektrode (5) angeordnet ist, und
35
- f) Source- und Draingebiete, die auf der stegförmigen Erhebung (2) angeordnet sind.

5. Feldeffekttransistor nach einem der Anspruch 1 bis 4,
dadurch gekennzeichnet, daß
die Kanten (8) der stegförmigen Erhebung (2) zwischen der
oberen Oberfläche (2a) und den seitlichen Oberflächen (2b)
5 verrundet sind.
6. Feldeffekttransistor nach Anspruch 5,
dadurch gekennzeichnet, daß
10 der Krümmungsradius der Kanten (8) in der Größenordnung
der Schichtdicke der ersten oder zweiten Gateoxidschicht
(4, 6) liegt.
7. Feldeffekttransistor nach einem der Ansprüche 1 bis 7,
15 dadurch gekennzeichnet, daß
zwischen dem Sourcegebiet und den Gateelektroden sowie
zwischen dem Draingebiet und den Gateelektroden Spacer
angeordnet sind.
- 20 8. Feldeffekttransistor nach einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet, daß
die erste Gateelektrode (5) eine Polysiliziumschicht
aufweist.
- 25 9. Feldeffekttransistor nach einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet, daß
die zweite Gateelektrode (7) eine Polysilizium-Metall-
Doppelschicht oder eine Polyzidschicht aufweist.
- 30 10. Feldeffekttransistor nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, daß
der Teil der seitlichen Oberflächen (2b) der stegförmigen
Erhebung (2), der von einer Gateoxidschicht (4, 6) bedeckt
ist, von einer Grabenisolation (3) begrenzt ist.
- 35 11. Feldeffekttransistor nach einem der Ansprüche 1 bis 10,
dadurch gekennzeichnet, daß

die Dotierungsprofiltiefe der Source- und Draingebiete größer als die Ausdehnung des Teils der seitlichen Oberflächen (2b) der stegförmigen Erhebung (2) ist, der von einer Gateoxidschicht (4, 6) bedeckt ist.

5

12. Verfahren zur Herstellung eines Feldeffekttransistor, insbesondere eines MIS-Feldeffekttransistor, mit den Schritten:

- 10 a) ein Halbleitersubstrat (1) mit einer darauf aufgebracht ersten Gateoxidschicht (4) und einer auf die Gateoxidschicht (4) aufgebracht ersten Gateelektrodenschicht (5) wird bereitgestellt,
- 15 b) zumindest eine stegförmige Erhebung (2) mit einer oberen Oberfläche (2a) und seitlichen Oberflächen (2b) wird erzeugt, wobei die erste Gateoxidschicht (4) und die erste Gateelektrodenschicht (5) auf der oberen Oberfläche (2a) angeordnet sind,
- 20 c) zumindest auf einen Teil der seitlichen Oberflächen (2b) der stegförmigen Erhebung (2) und der ersten Gateelektrodenschicht (5) wird eine zweite Gateoxidschicht (6) erzeugt,
- 25 d) eine zweite Gateelektrodenschicht (7) wird aufgebracht, so daß die zweite Gateelektrodenschicht (7) auf der zweiten Gateoxidschicht (6) und der oberen Oberfläche der ersten Gateelektrodenschicht (5) angeordnet ist, und
- 30 e) die erste und die zweite Gateelektrodenschicht (5, 7) werden zu ersten und zweiten Gateelektroden strukturiert und Source- und Draingebiete werden
- 35 erzeugt.

13. Verfahren nach Anspruch 12,

d a d u r c h g e k e n n z e i c h n e t , d a ß
die Erzeugung der stegförmige Erhebung (2) mit der
Strukturierung der Gräben für eine Grabenisolation (3)
erfolgt.

5

14. Verfahren nach Anspruch 13,

d a d u r c h g e k e n n z e i c h n e t , d a ß
die Gräben für die Grabenisolation mit Oxid (3) gefüllt
werden und eine Rückätzung durchgeführt wird, so daß ein
10 Teil der seitlichen Oberflächen (2b) der stegförmigen
Erhebung (2) freigelegt wird.

15. Verfahren nach Anspruch 14,

d a d u r c h g e k e n n z e i c h n e t , d a ß
15 vor der Rückätzung ein CMP-Schritt durchgeführt wird.

16. Verfahren nach einem der Ansprüche 12 bis 15,

d a d u r c h g e k e n n z e i c h n e t , d a ß
zumindest ein thermischer Prozeß zur Verrundung der Kanten
20 (8) der stegförmigen Erhebung (2) zwischen der oberen
Oberfläche (2a) und den seitlichen Oberflächen (2b)
durchgeführt wird.

17. Verfahren nach einem der Ansprüche 12 bis 16,

25 d a d u r c h g e k e n n z e i c h n e t , d a ß
die Gateoxidschichten (4, 6) jeweils durch eine thermische
Oxidation erzeugt werden.

18. Verfahren nach einem der Ansprüche 12 bis 17,

30 d a d u r c h g e k e n n z e i c h n e t , d a ß
die zweite Gateoxidschicht (6) mit selektiver Oxidation
erzeugt wird, so daß die zweite Gateoxidschicht (6) auf
den seitlichen Oberflächen der ersten Gateelektrode (5)
dicker ausgebildet ist als auf den seitlichen Oberflächen
35 (2b) der stegförmigen Erhebung (2).

19. Verfahren nach einem der Ansprüche 12 bis 18,

d a d u r c h g e k e n n z e i c h n e t , d a ß
nach der Erzeugung der ersten Gateelektrodenschicht (5)
ein isolierender Spacer erzeugt wird, so daß an der
zweiten Gateoxidschicht (6) auf der Höhe der ersten
5 Gateelektrode (5) ein isolierender Spacer (14) angeordnet
ist.

FIG 1

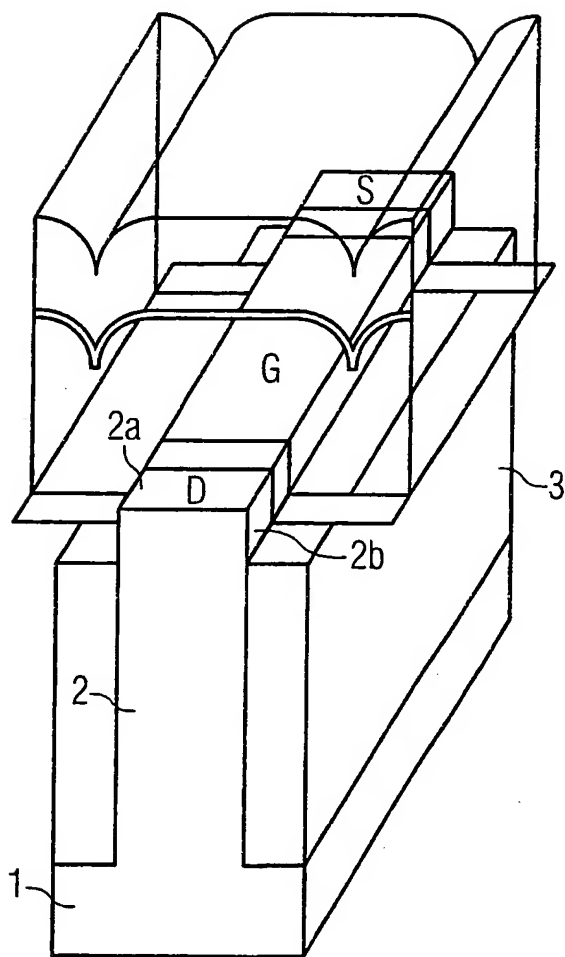


FIG 2

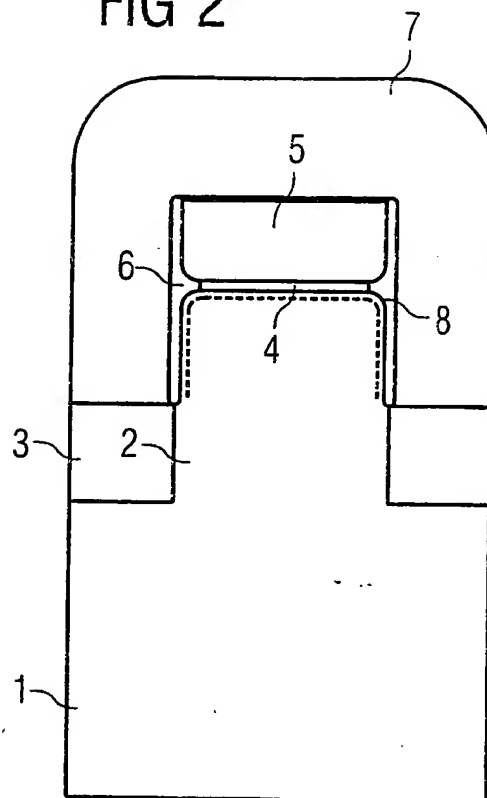


FIG 3a

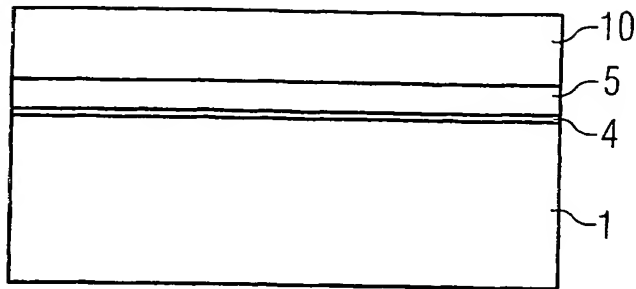


FIG 3b

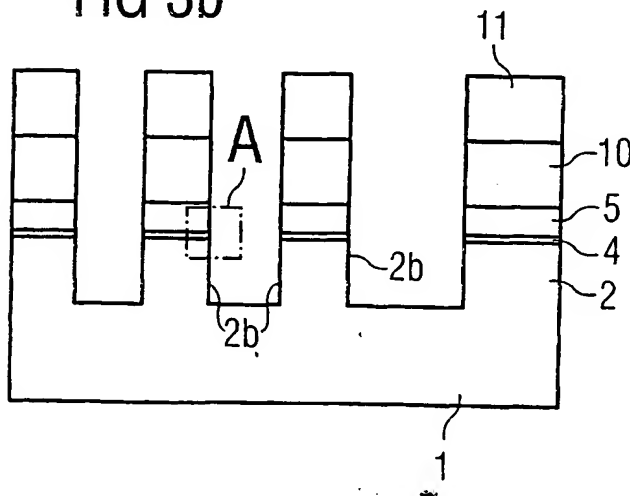
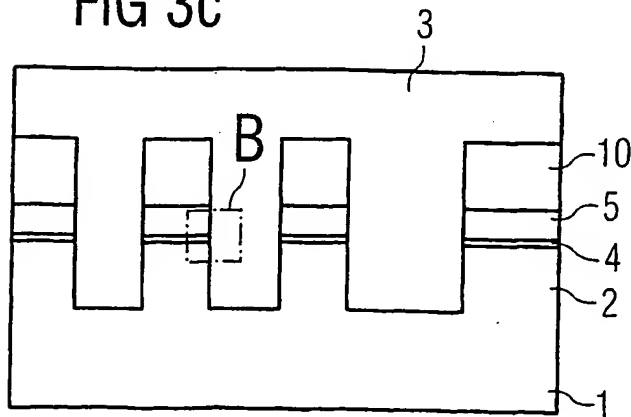
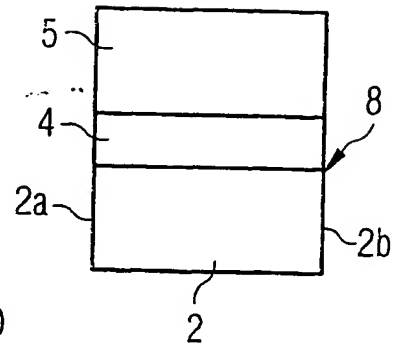


FIG 3c



A



B

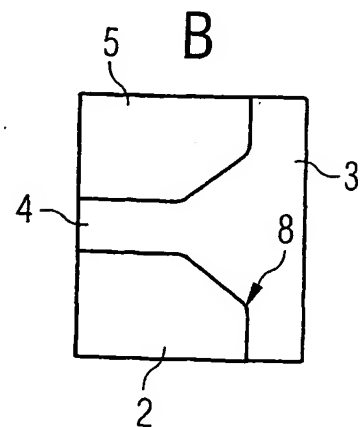


FIG 3d

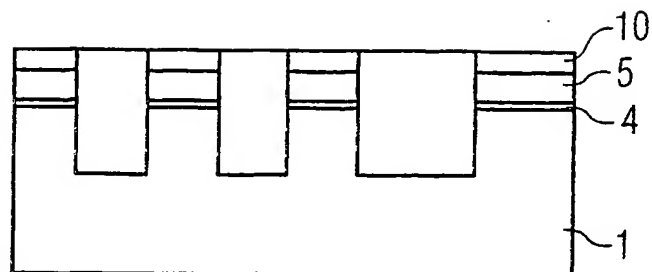


FIG 3e

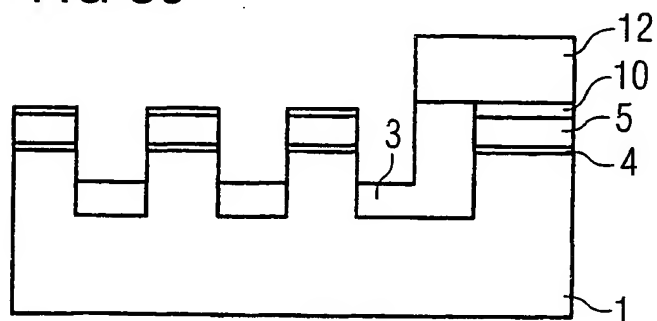


FIG 3f

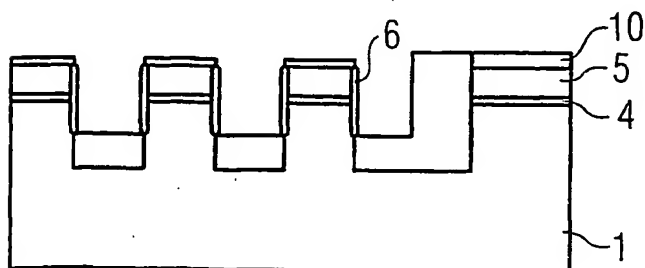


FIG 3g

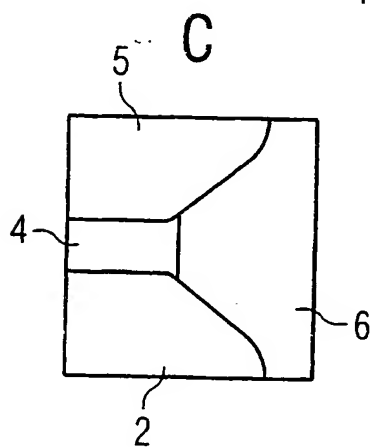
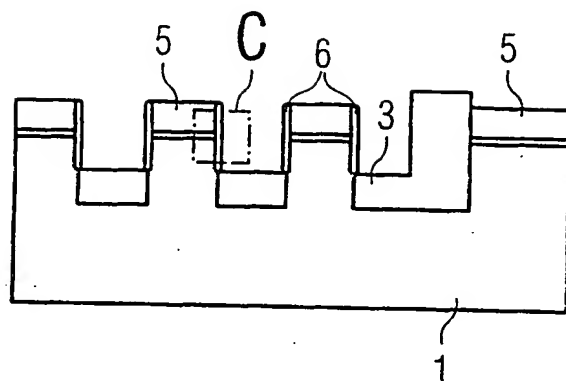


FIG 3h

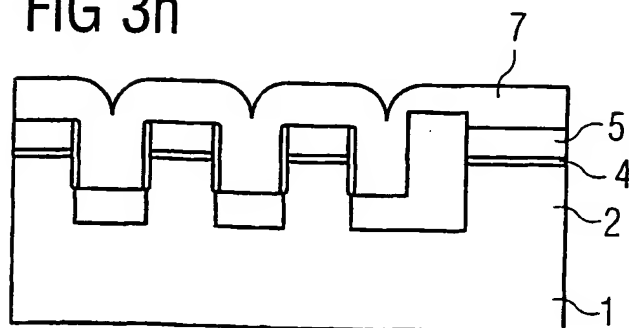


FIG 4

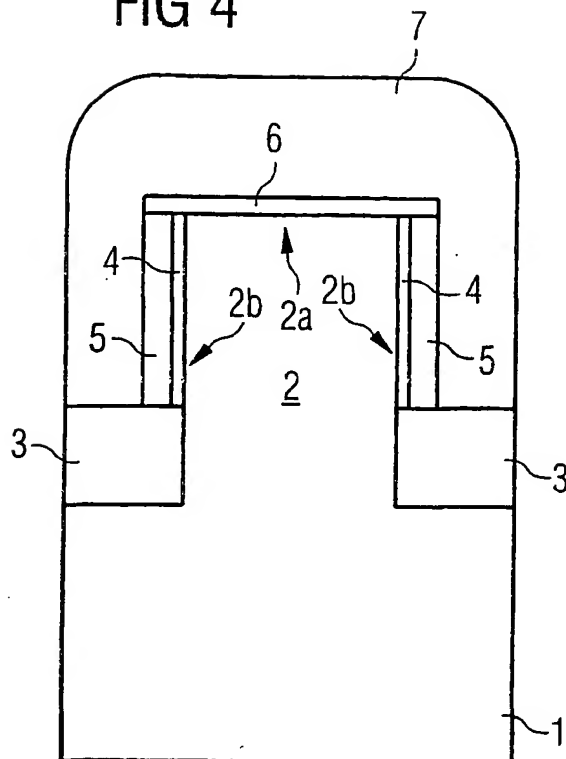


FIG 5

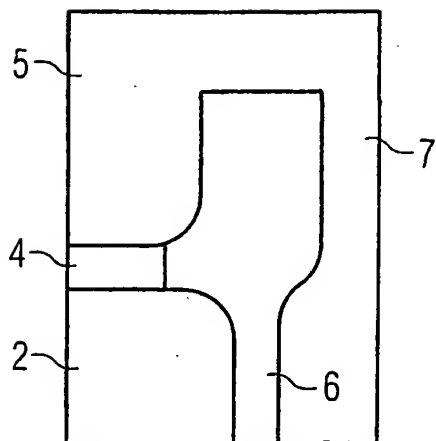
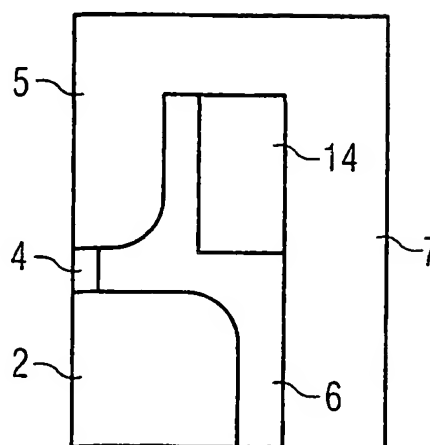


FIG 6



INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 02/07028

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/336 H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 844 278 A (MIZUNO TOMOHISA ET AL) 1 December 1998 (1998-12-01) column 10, line 53 -column 11, line 54; figures 11,12 ---	1,2,4, 7-9,12
A	WO 00 30181 A (WIEDER ARMIN ;INFINEON TECHNOLOGIES AG (DE); WIDMANN HELGA HF (DE)) 25 May 2000 (2000-05-25) page 7, line 7 -page 9, line 30; figure 6 ---	1,4
A	US 5 391 506 A (KUNITOMO HIROYASU ET AL) 21 February 1995 (1995-02-21) the whole document ---	1-19
A	US 5 583 362 A (MAEGAWA SHIGETO) 10 December 1996 (1996-12-10) figure 30 ---	1,4
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

15 October 2002

Date of mailing of the international search report

23/10/2002

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Nesso, S

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP 02/07028

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>US 5 567 959 A (MINEJI AKIRA) 22 October 1996 (1996-10-22) figure 8D</p> <p>-----</p>	1,4

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 02/07028

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5844278	A	01-12-1998	JP 8139325 A KR 170468 B1	31-05-1996 01-02-1999
WO 0030181	A	25-05-2000	DE 19853268 A1 CN 1333923 T WO 0030181 A2 EP 1138085 A2 TW 457722 B US 2002014669 A1	31-05-2000 30-01-2002 25-05-2000 04-10-2001 01-10-2001 07-02-2002
US 5391506	A	21-02-1995	JP 5218415 A JP 5218416 A JP 5343679 A	27-08-1993 27-08-1993 24-12-1993
US 5583362	A	10-12-1996	JP 7135325 A DE 4433086 A1 KR 220039 B1 US 5578513 A	23-05-1995 30-03-1995 01-09-1999 26-11-1996
US 5567959	A	22-10-1996	JP 2734962 B2 JP 7193251 A	02-04-1998 28-07-1995

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 02/07028

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L21/336 H01L29/78

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 844 278 A (MIZUNO TOMOHISA ET AL) 1. Dezember 1998 (1998-12-01) Spalte 10, Zeile 53 -Spalte 11, Zeile 54; Abbildungen 11,12	1,2,4, 7-9,12
A	WO 00 30181 A (WIEDER ARMIN ;INFINEON TECHNOLOGIES AG (DE); WIDMANN HELGA HF (DE)) 25. Mai 2000 (2000-05-25) Seite 7, Zeile 7 -Seite 9, Zeile 30; Abbildung 6	1,4
A	US 5 391 506 A (KUNITOMO HIROYASU ET AL) 21. Februar 1995 (1995-02-21) das ganze Dokument	1-19
A	US 5 583 362 A (MAEGAWA SHIGETO) 10. Dezember 1996 (1996-12-10) Abbildung 30	1,4
	-/-	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

8 Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

15. Oktober 2002

Absenddatum des internationalen Recherchenberichts

23/10/2002

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Beauftragter

Nesso, S

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 02/07028

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>US 5 567 959 A (MINEJI AKIRA) 22. Oktober 1996 (1996-10-22) Abbildung 8D</p> <p>-----</p>	1,4

Formblatt PCT/ISA/210 (Fortsetzung von Blatt 2) (Juli 1992)

INTERNATIONAL RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 02/07028

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5844278	A	01-12-1998	JP 8139325 A KR 170468 B1	31-05-1996 01-02-1999
WO 0030181	A	25-05-2000	DE 19853268 A1 CN 1333923 T WO 0030181 A2 EP 1138085 A2 TW 457722 B US 2002014669 A1	31-05-2000 30-01-2002 25-05-2000 04-10-2001 01-10-2001 07-02-2002
US 5391506	A	21-02-1995	JP 5218415 A JP 5218416 A JP 5343679 A	27-08-1993 27-08-1993 24-12-1993
US 5583362	A	10-12-1996	JP 7135325 A DE 4433086 A1 KR 220039 B1 US 5578513 A	23-05-1995 30-03-1995 01-09-1999 26-11-1996
US 5567959	A	22-10-1996	JP 2734962 B2 JP 7193251 A	02-04-1998 28-07-1995